

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000267066 A**

(43) Date of publication of application: **29.09.00**

(51) Int. Cl. **G02F 1/133**
G02F 1/1365
G09G 3/20
G09G 3/36
G09G 5/08
G09G 5/14
G09G 5/36

(21) Application number: **11069182**

(22) Date of filing: **15.03.99**

(71) Applicant: **CANON INC**

(72) Inventor: **MORI HIDEO**
YAGYU MINETO

(54) **LIQUID CRYSTAL DEVICE**

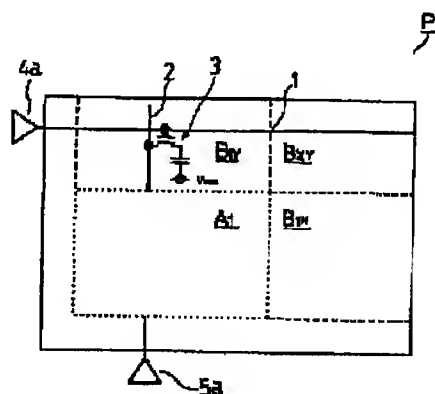
(57) Abstract:

PROBLEM TO BE SOLVED: To prevent flickers in a screen or unnatural movement in a display region for a moving picture and to obtain high definition in the display region for a still picture.

SOLUTION: Scanning on gate lines 1 is performed for a certain number of gate lines which pass a display region A1 for an moving picture, and the number of lines for scanning is determined by considering the size of the region A1. The gate lines 1 not passing the display region A1 for the moving picture are not scanned. The source voltage is applied only on the source lines 2 passing the display region A1 for the moving picture but the voltage is not applied on the source lines 2 not passing the region A1. By scanning the plurality of lines as above-mentioned, the refresh frequency in the display region A1 for the moving picture can be increased, which prevents flickers or unnatural movement of a screen. Since no source voltage is applied on the source lines not passing the display region A1 for the moving image, decrease in the

definition in the display region B1X for a still picture due to scanning of the plurality of lines can be prevented.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-267066
(P2000-267066A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 2 H 0 9 2
	5 6 0		5 6 0 2 H 0 9 3
1/1365		G 0 9 G 3/20	6 2 1 F 5 C 0 0 6
G 0 9 G 3/20	6 2 1		6 2 3 X 5 C 0 8 0
	6 2 3	3/36	5 C 0 8 2

審査請求 未請求 請求項の数13 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平11-69182

(22) 出願日 平成11年3月15日 (1999.3.15)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 森 秀雄

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 柳生 峰人

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100082337

弁理士 近島 一夫 (外1名)

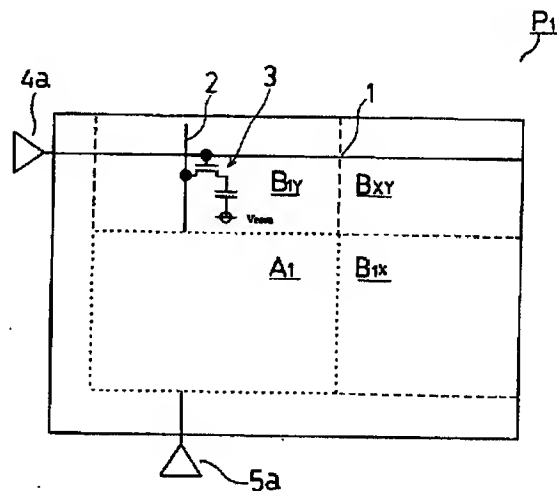
最終頁に続く

(54) 【発明の名称】 液晶素子

(57) 【要約】

【課題】 動画表示領域においては画面のチラツキや動きの不自然さを防止し、静止画表示領域においては精細度を高くする。

【解決手段】 動画表示をする場合のゲートライン1の走査は、動画表示領域A₁を通るゲートライン1に対して該領域A₁のサイズを考慮した本数ずつ行われ、動画表示領域A₁を通らないゲートライン1に対しては行われない。また、ソースライン2へのソース電圧の印加は、動画表示領域A₁を通るソースライン2に対してのみ行われ、動画表示領域A₁を通らないソースライン2に対しては行われない。上述した複数本ずつの走査によって動画表示領域A₁におけるリフレッシュ周波数を高くでき、画面のチラツキや動きの不自然さを防止できる。また、動画表示領域A₁を通らないソースライン2にはソース電圧は印加されていないため、上述した複数本ずつの走査に伴う静止画表示領域B₁₁の精細度の低下は防止される。



【特許請求の範囲】

【請求項 1】 複数の第 1 電極と、複数の第 2 電極と、これらの電極に電圧が印加されることにより駆動される液晶と、を備え、かつ、前記複数の第 1 電極に順次電圧が印加されると共に前記第 2 電極に電圧が印加されることにより少なくとも一部の領域で動画表示を行う液晶素子において、前記動画表示を行う領域における前記第 1 電極の総数を N 本とし、一水平走査時間を T s e c とした場合に、前記第 1 電極は、下式の間隔を満たす α の値の本数ずつ同

$$\text{【式 1】 } N \cdot T / \alpha \leq 1 / 60$$

ことを特徴とする液晶素子。

【請求項 2】 前記動画表示を行う領域以外の領域で静止画像を表示する、

ことを特徴とする請求項 1 に記載の液晶素子。

【請求項 3】 前記動画表示を行う領域を、1 つ又は複数設けてなる、

ことを特徴とする請求項 2 に記載の液晶素子。

【請求項 4】 前記動画表示を行う領域の走査をノンインターレース方式で行い、かつ、該領域以外の走査をマルチインターレース方式で行う、ことを特徴とする請求項 2 又は 3 に記載の液晶素子。

【請求項 5】 前記 α の値が 2 以上の場合には、前記動画表示に寄与しない第 1 電極は選択せず、かつ、前記動画表示に寄与しない第 2 電極には電圧を印加しない、ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の液晶素子。

【請求項 6】 前記液晶が、メモリー性を持つ液晶である、ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の液晶素子。

【請求項 7】 アクティブ素子を画素毎に 1 つずつ備え、かつ、前記第 1 電極が前記アクティブ素子のゲートラインであり、前記第 2 電極が前記アクティブ素子のソースラインである、ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の液晶素子。

【請求項 8】 前記ゲートラインにはゲート駆動回路が電気的に接続されて電圧が印加され、かつ、前記ソースラインにはソース駆動回路が電気的に接続されて電圧が印加される、ことを特徴とする請求項 7 に記載の液晶素子。

【請求項 9】 前記ソース駆動回路の出力をハイインピーダンス状態にすることにより、前記動画表示に寄与しないソースラインに電圧を印加しない、ことを特徴とする請求項 8 に記載の液晶素子。

【請求項 10】 前記ゲート駆動回路を複数備え、各ゲート駆動回路には、前記 α が取り得る値の公倍数だ

け出力ピンが設けられ、かつ、該出力ピンと前記ゲートラインとが電気的に接続される、

ことを特徴とする請求項 8 又は 9 に記載の液晶素子。

【請求項 11】 第 1 アクティブ素子と第 2 アクティブ素子とを画素毎に 2 つずつ備え、かつ、前記第 1 電極が前記第 1 アクティブ素子のゲートラインであり、前記第 2 電極が前記第 2 アクティブ素子のゲートラインである、

ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の液晶素子。

【請求項 12】 画素毎にアクティブ素子を 1 つずつ備え、

該アクティブ素子に対向する位置に、複数の分割された対向電極を設け、かつ、

前記第 1 電極が前記アクティブ素子のゲートラインであり、前記第 2 電極が前記対向電極である、

ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の液晶素子。

【請求項 13】 ポインティングデバイスを移動可能に表示し、かつ、

該ポインティングデバイスの表示精細度が、前記動画表示を行う領域の表示精細度とほぼ等しい、

ことを特徴とする請求項 1 乃至 12 のいずれか 1 項に記載の液晶素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、少なくとも一部の領域で動画表示を行う液晶素子に関する。

【0002】

【従来の技術】従来より、種々の情報を表示する液晶装置はパソコンのモニター等に用いられており、近年は、動画表示を行う要求が高まっている。

【0003】かかる動画表示は、走査電極を 1 本ずつ走査することによって行われ、また、動画表示を画面全体で行う場合と、画面の一部にウィンドウを設けて行う場合とがある。

【0004】

【発明が解決しようとする課題】ところで、このような動画表示をチラツキ（いわゆるフリッカ）がなく自然な動きで行うには、少なくとも 30 Hz 程度以上のリフレッシュ周波数が必要であり、ノンインターレース（プログレッシブ）走査の場合は 60 Hz 程度以上のリフレッシュ周波数が必要となる。

【0005】このようなリフレッシュ周波数は、走査線の本数が 1000 本以下の小サイズの画面なら可能であるものの、1000 本よりも多くなると実現が不可能であった。

【0006】そこで、本発明は、チラツキを防止する液晶素子を提供することを目的とするものである。

【0007】また、本発明は、自然な動きの動画を表示する液晶素子を提供することを目的とするものである。

【0008】

【課題を解決するための手段】本発明は上記事情を考慮してなされたものであり、複数の第1電極と、複数の第2電極と、これらの電極に電圧が印加されることにより駆動される液晶と、を備え、かつ、前記複数の第1電極に順次電圧が印加されると共に前記第2電極に電圧が印加されることにより少なくとも一部の領域で動画表示を行う液晶素子において、前記動画表示を行う領域における前記第1電極の総数をN本とし、一水平走査時間をTsecとした場合に、前記第1電極は、下式の間係を満たす α の値の本数ずつ同時選択される、ことを特徴とする。

【0009】

【式2】 $N \cdot T / \alpha \leq 1 / 60$

【0010】

【発明の実施の形態】以下、図1乃至図6を参照して、本発明の実施の形態について説明する。ここで、図1は、本発明に係る液晶素子（液晶パネル）の構造の一例を説明するための模式図であり、図2は、液晶パネルの表示状態の一例を説明するための模式図である。また、図3は、本発明に係る液晶パネルの構造の他の例を説明するための模式図であり、図4は、本発明に係る液晶パネルの構造のさらに他の例を説明するための模式図である。さらに、図5は、本発明に係る液晶装置の構造の一例を説明するための模式図であり、図6は、液晶パネルの表示状態の他の例を説明するための模式図である。

【0011】本発明に係る液晶素子は、例えば図1に示すような第1電極1や第2電極2を複数ずつ備えており（図では模式的に1本ずつのみ図示）、これらの電極1、2に電圧が印加されることにより駆動される液晶（不図示）を備えている。そして、この液晶素子P₁は、前記複数の第1電極1に順次電圧（後述するゲート制御パルス）が印加されると共に前記第2電極2に電圧（後述するソース電圧）が印加されることにより、少なくとも一部の領域（以下、“動画領域”とする）A₁で動画表示を行うようになっている。

【0012】なお、前記動画領域A₁における第1電極1の総数をN本とし、一水平走査時間をTsecとした場合に、前記第1電極1は、下式の間係を満たす α の値の本数ずつ同時選択されるようになっている。

【0013】

【式3】 $N \cdot T / \alpha \leq 1 / 60$

例えば、一水平走査時間Tが20 μ secである場合、第1電極1は、 $N \leq 768$ のときは $\alpha = 1$ 本ずつ走査され、 $769 \leq N \leq 1536$ のときは $\alpha = 2$ 本ずつ走査され、 $1537 \leq N \leq 2304$ のときは $\alpha = 3$ 本ずつ走査されるようになっている。

【0014】ところで、上述した動画領域は液晶素子の

全体に設けても、或は一部に設けて動画表示を行う領域以外の領域（以下、“静止画領域”とする）で静止画像を表示するようにしても良い。

【0015】また、動画領域を一部に設ける場合、動画領域を図1の符号A₁に示すように1つだけ設けても、図2に符号A₂、A₃で示すように複数個設けても良い。

【0016】さらに、動画領域を一部に設ける場合には、該動画領域の走査をノンインターレース（プログレッシブ）方式で行い、静止画領域の走査をマルチインターレース方式（すなわち、2本おき以上の飛び越し本数で走査する方式）で行えば良い。

【0017】またさらに、動画領域を一部に設ける場合であって前記 α の値が2以上の場合（すなわち、第1電極1を複数本ずつ同時走査する場合）には、前記動画表示に寄与しない第1電極1は選択せず、かつ、前記動画表示に寄与しない第2電極2には電圧を印加しない、ようにすると良い。

【0018】一方、前記液晶には、メモリー性を持つ液晶を挙げることができる。

【0019】また、本発明に用いる液晶素子としては、アクティブマトリクスタイプのもを挙げることができ、図1や図3に示すようにアクティブ素子3を画素毎に1つずつ設けたものや、図4に示すように第1アクティブ素子11と第2アクティブ素子12とを画素毎に2つずつ設けたものを挙げることができる。

【0020】ここで、図1に示す液晶素子P₁の場合には、前記アクティブ素子3のゲートライン1を第1電極とし、前記アクティブ素子3のソースライン2を第2電極とすれば良く、図5に示すように、ゲートライン1にはゲート駆動回路4を電気的に接続して電圧（ゲート制御パルス）を印加し、ソースライン2にはソース駆動回路5を電気的に接続してソース電圧を印加すると良い。この場合、動画表示に寄与しないソースライン2に電圧を印加しないためには、ソース駆動回路5の出力をハイインピーダンス状態とすれば良い。また、ゲート駆動回路4を複数配置し、各ゲート駆動回路4には、前記 α が取り得る値の公倍数だけ出力ピン4aを設けると良い。

【0021】また、図3に示す液晶素子P₂の場合には、アクティブ素子3に対向する位置に、複数に分割された対向電極21を設けて第2電極とし、アクティブ素子3のゲートライン1を第1電極とすれば良い。

【0022】さらに、図4に示す液晶素子P₃の場合には、第1アクティブ素子11のゲートライン14を第1電極とし第2アクティブ素子12のゲートライン15を第2電極とすれば良い。

【0023】さらに、図6に示すように動画領域A₁を一部に設ける場合であって、動画領域A₁及び静止画領域B₁に亘って移動可能なマウスカーソル等のポインテ

イングデバイス30を表示する場合には、該ポインティングデバイス30の表示精細度を、前記動画領域A_iの表示精細度とほぼ等しくすると良い。

【0024】次に、本実施の形態の効果について説明する。

【0025】本実施の形態によれば、前記第1電極1又は14は、下式の関係を満たす α の値の本数ずつ同時選択されるようになっているため、

【0026】

【式4】 $N \cdot T / \alpha \leq 1 / 60$

但し、N：前記動画領域A_iの第1電極1又は14の総数

T：一水平走査時間

動画領域A_iのサイズにかかわらず、リフレッシュ周波数が60Hz程度以上となり、動画表示をチラツキ（いわゆるフリッカ）がなく自然な動きで行うことができる。

【0027】ところで、第1電極1又は14を複数本ずつ同時走査して動画を一部の領域A_iに表示する場合であって、これらの第1電極1又は14に沿った静止画領域B_{ix}（図1参照）の表示変更を行った場合には、静止画領域B_{ix}の精細度が落ちてしまい表示品位が低下することになる。しかし、本実施の形態によれば、動画領域A_iに寄与しない第2電極2、15又は21には電圧を印加せずに静止画領域B_{ix}内の表示を変化させないようにしているため、そのような精細度の低下を防止できる。

【0028】

【実施例】以下、実施例に沿って本発明を更に詳細に説明する。

【0029】（実施例1）本実施例においては、図1に示すアクティブマトリクスタイプの液晶パネル（液晶素子）P₁を用いて図5に示す液晶装置6を作成し、図7に示す信号を用いてこの液晶装置6を駆動した。

【0030】液晶パネルP₁は、一対のガラス基板に強誘電性液晶を挟持させて構成し、各画素には不図示のRGB3色のカラーフィルターを配置した。また、図1に示すように、各画素にはアクティブ素子としての薄膜トランジスタ（TFT）3を1つずつ形成し、各TFT3にはゲートライン（第1電極）1やソースライン（第2電極）2を接続した。なお、ゲートライン1は行方向に768×3=2304本形成し、ソースライン2は列方向に1024×3×3=9216本形成し、いわゆるXGAの9倍の高精細となるようにした。

【0031】一方、上述したゲートライン1には、図5に示すように、ゲートラインアドレスデコード機能を備えたゲート駆動回路4を電氣的に接続して信号を印加し、ソースライン2にはソース駆動回路5を電氣的に接続してソース電圧を印加するようにした。なお、図5ではゲート駆動回路4を模式的に1つのみを示している

が、実際にはゲート駆動回路4は複数設けると共に各ゲート駆動回路4には6の倍数の出力ピン4aを設け、各出力ピン4aと各ゲートライン1とを電氣的に接続した。また、これらのゲート駆動回路4及びソース駆動回路5には、駆動制御回路7を介してグラフィックコントローラ8を接続した。

【0032】さらに、画面の一部には動画を表示する領域（以下、“動画領域”とする）A_iを1つだけ設け、該領域A_iにおいては、ゲートライン1に電圧を印加しながらノンインターレース（プログレッシブ）方式による線順次走査を行うと共にソースライン2に電圧を印加することにより動画表示を行った。

【0033】次に、本実施例における液晶装置6の駆動方法について、図7乃至図11を参照して説明する。ここで、図7は、液晶パネルを駆動するための信号の一例を説明するための図であり、図8は、複数ゲートライン同時走査情報S₀、S₁を説明するための図、図9は、液晶パネルの表示状態を説明するための模式図、図10は、液晶パネルを駆動するための信号を説明するための図、図11は、ハイインピーダンス情報Z_nを説明するための図である。

【0034】グラフィックコントローラ8から駆動制御回路7には、図7に示すAH/DLや、21ビットのパラレルデータPD₀～PD₂₀等が供給される。

【0035】このうち、AH/DLは、転送データの種別を識別する為の信号であり、その“H”レベルは、アドレスデータA₀～A₁₈、S₀、S₁を転送中であることを意味し、“L”レベルは、画像データR_m、G_m、B_m（m=0, 1, 2, …, 18431）、RZ_n、GZ_n、BZ_n（n=0, 1, 2, …, 3071）を転送中であることを意味する。なお、これらのアドレスデータA₀～A₁₈、S₀、S₁と画像データR_m、G_m、B_m（m=0, 1, 2, …, 18431）、RZ_n、GZ_n、BZ_n（n=0, 1, 2, …, 3071）とは同一のデータバスを用いて転送している。

【0036】ここで、上述したアドレスデータA₀～A₁₈、S₀、S₁は、駆動制御回路7からゲート駆動回路4に送られるものであって、

* ゲートラインアドレスデータA₀～A₁₈と、
* 複数ゲートライン同時走査情報S₀、S₁とからなる。

【0037】このうち、ゲートラインアドレスデータA₀～A₁₈は、最大2¹⁹=262144本のゲートライン1の中から1本のゲートラインを選択するためのデータである。

【0038】また、複数ゲートライン同時走査情報S₀、S₁は、図8に示すように、ゲートライン1を1本のみを選択するか、2本を選択するか、或は3本を選択するかを指示するためのデータである。すなわち、ゲー

トラインアドレスデータA0～A18によってn番目のゲートラインが選択されたとき（ゲートラインアドレス値がnの場合）、

① 動画領域のゲートライン総数Nが768本以下の場合（図9の符号A₁₁、A₁₂参照）にはS1=S0=

“L”とされてn番ゲートラインの1本だけが選択されて走査され（α=1、図10(a)～(d)参照）、

② 動画領域のゲートライン総数Nが769本以上1536本以下の場合（図9の符号A₁₃～A₁₅参照）にはS1=“L”，S0=“H”とされてn番とn+1番の2本のゲートラインが選択され（α=2）、

③ 動画領域のゲートライン総数Nが1537本以上の場合にはS1=“H”，S0=“L”とされてn番とn+1番とn+2番の3本のゲートラインが選択される（α=3）。

【0039】つまり、本実施例においては、1本のゲートライン1に電圧を印加する時間Tは約20μsecであるため、動画領域A₁のゲートライン総数Nの如何（すなわち、動画領域A₁のサイズの如何）にかかわらずリフレッシュ周波数は60Hz以上となる。

【0040】ところで、上述のように各ゲート駆動回路4には6の倍数（すなわち、α=2、3の公倍数）の出力ピン4aを設けているため、上記②や③のようにゲートライン1を2本ずつまたは3本ずつ選択した場合でもゲート駆動回路4を一括的に駆動すれば良く（すなわち、隣接される2つのゲート駆動回路4を同時に駆動する必要はなく）、駆動制御が簡単となった。

【0041】そして、ゲート駆動回路4は、ゲートラインアドレスデータA0～A18と複数ゲートライン同時走査情報S0、S1とに従ってゲート制御パルスをゲートライン1に印加し、ゲートライン1を選択する。

【0042】ところで、本実施例においては、少なくとも複数本のゲートライン1を同時選択する場合には、ゲートライン1の選択（すなわち、電圧の印加）は、動画領域A₁に寄与するゲートライン1に対してのみ行い、動画領域A₁に寄与しないゲートライン1に対しては行わない。

【0043】一方の画像データは、駆動制御回路7からソース駆動回路5に送られるものであって、

* R色についての6ビットの階調情報R_m（m=0、1、2、……、18431）と、

* G色についての6ビットの階調情報G_m（m=0、1、2、……、1843）と、

* B色についての6ビットの階調情報B_m（m=0、1、2、……、18431）と、

* R色についての1ビットのハイインピーダンス情報RZ_n（n=0、1、2、……、3071）と、

* G色についての1ビットのハイインピーダンス情報GZ_n（n=0、1、2、……、3071）と、

* B色についての1ビットのハイインピーダンス情報 50

BZ_n（n=0、1、2、……、3071）と、からなる。

【0044】このうちハイインピーダンス情報RZ_n、GZ_n、BZ_nは、ソース駆動回路5の出力ピン5a（0番目～3071番目）の1ピンずつに対応するものであり、図11に示すように、

* 動画領域A₁を通るソースライン2に関してはハイインピーダンス情報Z_nを“L”として、ソース駆動回路5のn番目の出力ピン5aからソースライン2へはソース電圧（図10(e)に示すような液晶が必ず黒にスイッチングされるリセットレベルの電圧V₁と、階調情報R_m、G_m、B_mによって決定される書込みレベルの電圧V₂とからなる）を印加し、

* 動画領域A₁を通らないソースライン2に関してはハイインピーダンス情報Z_nを“H”として、n番目の出力ピン5aはハイインピーダンス状態となって、該出力ピン5aからソースライン2へはソース電圧は印加されない（図10(f)参照）、ようになる。

【0045】なお、このような制御は、少なくともα≥2の場合（すなわち、複数本のゲートライン1を同時選択する場合）に行われる。

【0046】本実施例では上述のような信号印加が行われるため、

* 動画領域A₁の画素の場合、ゲートライン1が選択されると共に、ソースライン2にはソース電圧（リセットレベルの電圧V₁と書込みレベルの電圧V₂）が印加されるため、リセットレベルの電圧V₁の印加に伴って液晶が全て黒にスイッチングされてリセットされ、書き込みレベルの電圧V₂の印加に伴って白ドメインと黒ドメインの面積比（すなわち、透過率状態を決定するドメイン階調）が変えられ、動画の書き換えが行われる。なお、このような強誘電性液晶のスイッチング状態は、そのメモリー性の為に再び書き換えが行われるまでは維持される。

* 図9に示す静止画領域B_{1x}の画素の場合、ゲートライン1は選択されはするものの、ソース駆動回路5がハイインピーダンス状態にされてソースライン2にはソース電圧は印加されないため、画像の書き換えは行われない。

* 図9に示す静止画領域B_{1y}の画素の場合、ソースライン2にはソース電圧が印加されはするものの、ゲートライン1は選択されないため画像の書き換えは行われない。

* 図9に示す静止画領域B_{1z}の画素の場合、ゲートライン1は選択されず、ソースライン2にはソース電圧は印加されないため、画像の書き換えは行われない。

【0047】なお、静止画領域B_{1x}、B_{1y}、B_{1z}を書き換える場合には、3～4本飛び越しのマルチインターレース走査を行うこととした。

【0048】次に、本実施例の効果について説明する。

【0049】本実施例にて作成した液晶パネルP₁を、動画領域A₁のサイズを種々に変化させて動画表示を行ったが、サイズにかかわらずチラツキ（いわゆるフリッカ）のない自然な動きの動画表示が可能であった。

【0050】また、静止画領域B_{1x}、B_{1y}、B_{1v}においては高精細な静止画像を表示できた。

【0051】（実施例2）本実施例においては、実施例1の液晶装置6で図12に示すような画像を表示した。

【0052】すなわち、画面中央部の動画領域A₁に寄与するゲートライン1には、図10(a)～(d)に示すようにゲート制御パルスを順次印加し、それ以外のゲートライン1にはパルスの印加は行わなかった。また、動画領域A₁に寄与するソースライン2には、図10(e)に示すソース電圧V₁、V₂を印加し、それ以外のソースライン2は、図10(f)に示すようにハイインピーダンス状態とした。

【0053】本実施例では上述のような信号印加が行われるため、

* 動画領域A₁の画素の場合、ゲートライン1が選択されると共に、ソースライン2にはソース電圧が印加されるため、動画の書き換えが行われる（同図(g)参照）。

* 静止画領域B_{1x}の画素の場合、ゲートライン1は選択されはするものの、ソース駆動回路5がハイインピーダンス状態にされてソースライン2にはソース電圧は印加されないため、画像の書き換えは行われない（同図(h)参照）。

* 静止画領域B_{1y}の画素の場合、ソースライン2にはソース電圧が印加されはするものの、ゲートライン1は選択されないため画像の書き換えは行われない（同図(h)参照）。

* 静止画領域B_{1v}の画素の場合、ゲートライン1は選択されず、ソースライン2にはソース電圧は印加されないため、画像の書き換えは行われない（同図(h)参照）。

【0054】本実施例によれば、実施例1と同様の効果が得られた。

【0055】（実施例3）本実施例においては、図4に示す液晶パネルP₂を用いて液晶装置を作成し、図13に示す信号を用いてこの液晶装置を駆動し、図12に示すような画像を表示した。

【0056】この液晶パネルP₂は、一対のガラス基板に強誘電性液晶を挟持させて構成し、各画素には不図示のRGBカラーフィルターを配置した。また、各画素にはTFT11、12を2つずつ直列接続させた状態に形成し、これらのTFT11、12にはソースライン13を介してソース電圧を供給する（図13(e)参照）と共に、一方のTFT（第1アクティブ素子）11はX方向ゲートライン（第1電極）14でON/OFF制御し、他方のTFT（第2アクティブ素子）12はY方向ゲ

ートライン（第2電極）15でON/OFF制御するようにした。

【0057】なお、動画領域A₁を通るX方向ゲートライン14については、同時走査する本数を実施例1と同様の方法で動画領域A₁のサイズに応じて決定し、X方向ゲートライン14の選択は、動画領域A₁に寄与するゲートライン14に対してのみ行い（ゲートラインを1本ずつ選択する場合については図13(a)～(d)を参照）、動画領域A₁に寄与しないゲートライン14に対しては行わなかった。また、動画領域A₁に寄与するY方向ゲートライン15には電圧を印加してTFT12を常にONさせておき（同図(f)参照）、動画領域A₁に寄与しないY方向ゲートライン15には電圧を印加せずにTFT12をOFFさせておいた（同図(g)参照）。

【0058】それ以外の構成は実施例1と同様にした。

【0059】本実施例では上述のような信号印加が行われるため、

* 動画領域A₁の画素の場合、X方向ゲートライン14が選択されると共に、Y方向ゲートライン15に電圧が印加されてTFT12がONにされているため、ソースライン13に印加されたソース電圧によって画像の書き換えが行われる（同図(h)参照）。

* 静止画領域B_{1x}の画素の場合、X方向ゲートライン14は選択されはするものの、Y方向ゲートライン15には電圧が印加されずにTFT12がOFFにされているため、ソース電圧の印加にかかわらず画像の書き換えは行われない（同図(i)参照）。

* 静止画領域B_{1y}の画素の場合、Y方向ゲートライン15に電圧が印加されてTFT12がONにされてはいるものの、X方向ゲートライン14は選択されないため画像の書き換えは行われない（同図(i)参照）。

* 静止画領域B_{1v}の画素の場合、X方向ゲートライン14及びY方向ゲートライン15の両方に電圧が印加されておらず、画像の書き換えは行われない（同図(i)参照）。

【0060】本実施例によれば、実施例1と同様の効果が得られた。

【0061】（実施例4）本実施例においては、図3に示す液晶パネルP₂を用いて液晶装置を作成した。

【0062】この液晶パネルP₂は、一対のガラス基板に強誘電性液晶を挟持させて構成し、各画素には不図示のRGBカラーフィルターを配置した。また、一方のガラス基板には、図3に示すように、各画素にはアクティブ素子としての薄膜トランジスタ（TFT）3を形成し、各TFT3にはゲートライン（第1電極）1やソースライン2を接続した。また、他方のガラス基板には対向電極（第2電極）21を形成したが、この対向電極21は、縦横に30分割し、独立して電圧を印加できるようにした。

【0063】動画表示をしようとする領域では、対向電

極 21 を ON にし、ゲートライン 1 の選択やソースライン 2 へのソース電圧の印加を行うことにより、画像の書き換えを行った。また、静止画像を表示しようとする領域では、対向電極 21 を OFF にしてハイインピーダンス状態にすることで画像の書き換えは行わなかった。

【0064】それ以外の構成は実施例 1 と同様にした。

【0065】本実施例によれば、実施例 1 と同様の効果が得られた。

【0066】（実施例 5）本実施例においては、実施例 1 にて作成した液晶装置 6 を用いて、図 2 に示すように 10 2 つの動画領域 A_1 、 A_2 を表示した。

【0067】本実施例によれば、マルチウィンドウ表示を行うに際して実施例 1 と同様の効果が得られた。

【0068】（実施例 6）本実施例においては、実施例 1 にて作成した液晶装置 6 をパソコンモニターとして使用し、画面には、図 6 に示すように、動画領域 A_1 及び静止画領域 B_1 に亘って移動可能なマウスカーソル等のポインティングデバイス 30 を表示した。

【0069】この場合、該ポインティングデバイス 30 は、動画領域 A_1 及び静止画領域 B_1 の全ての領域にお 20 いて、表示精細度を動画領域 A_1 の表示精細度に合わせた。

【0070】本実施例によれば、ポインティングデバイス 30 は、いずれの領域 A_1 、 B_1 に移動させても表示精細度が変化せず、違和感は感じられなかった。

【0071】

【発明の効果】以上説明したように、本発明によると、第 1 電極は下式の関係を満たす α の値の本数ずつ同時選択されるようになっているため、

【0072】

【式 5】 $N \cdot T / \alpha \leq 1 / 60$

但し、N：前記動画領域の第 1 電極の総数

T：一水平走査時間

動画領域のサイズにかかわらず、リフレッシュ周波数が 60 Hz 程度以上となり、動画表示をチラツキ（いわゆるフリッカ）がなく自然な動きで行うことができる。

【0073】ところで、第 1 電極を複数本ずつ同時走査して動画を一部の領域に表示する場合であって、これらの第 1 電極に沿った静止画領域の表示変更も行った場合には、該静止画領域の精細度が落ちてしまい表示品位が 40 低下することになる。しかし、本実施の形態によれば、動画領域に寄与しない第 2 電極には電圧を印加せずに静止画領域内の表示を変化させないようにしているため、*

* そのような精細度の低下を防止できる。

【図面の簡単な説明】

【図 1】本発明に係る液晶パネルの構造の一例を説明するための模式図。

【図 2】液晶パネルの表示状態の一例を説明するための模式図。

【図 3】本発明に係る液晶パネルの構造の他の例を説明するための模式図。

【図 4】本発明に係る液晶パネルの構造のさらに他の例を説明するための模式図。

【図 5】本発明に係る液晶装置の構造の一例を説明するための模式図。

【図 6】液晶パネルの表示状態の他の例を説明するための模式図。

【図 7】液晶パネルを駆動するための信号の一例を説明するための図。

【図 8】複数ゲートライン同時走査情報 S_0 、 S_1 を説明するための図。

【図 9】液晶パネルの表示状態を説明するための模式図。

【図 10】液晶パネルを駆動するための信号を説明するための図。

【図 11】ハイインピーダンス情報 Z_n を説明するための図。

【図 12】液晶パネルの表示状態のさらに他の例を説明するための模式図。

【図 13】液晶パネルを駆動するための信号の他の例を説明するための図。

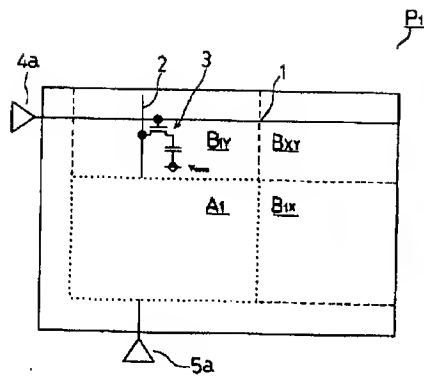
【符号の説明】

1	ゲートライン（第 1 電極）
2	ソースライン（第 2 電極）
3	TFT（アクティブ素子）
4	ゲート駆動回路
5	ソース駆動回路
11	TFT（第 1 アクティブ素子）
12	TFT（第 2 アクティブ素子）
14	X 方向ゲートライン（第 1 電極）
15	Y 方向ゲートライン（第 2 電極）
21	対向電極（第 2 電極）
30	ポインティングデバイス
P_1	液晶パネル（液晶素子）
P_2	液晶パネル（液晶素子）
P_3	液晶パネル（液晶素子）

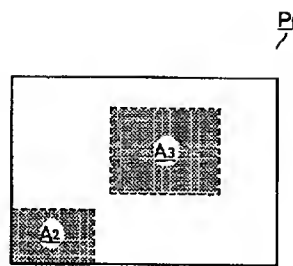
【図 11】

Zn	ソース駆動回路出力
L	階調情報に従った電圧値
H	ハイインピーダンス

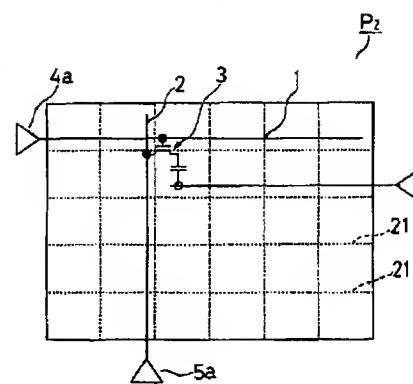
【図1】



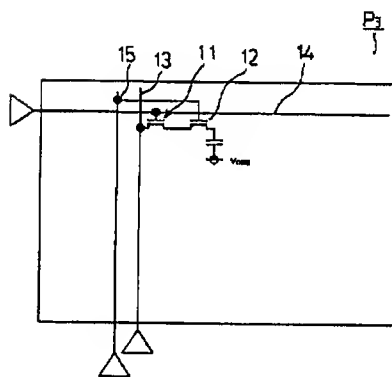
【図2】



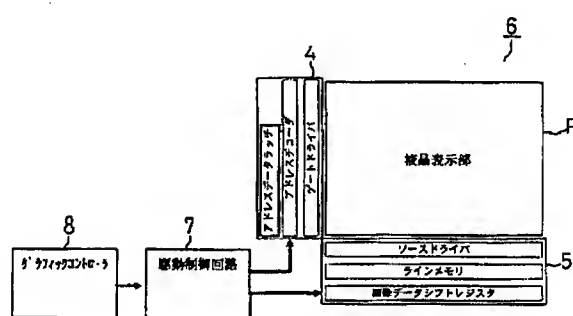
【図3】



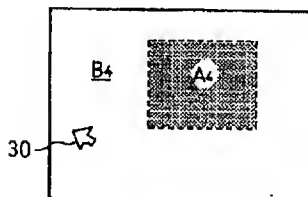
【図4】



【図5】



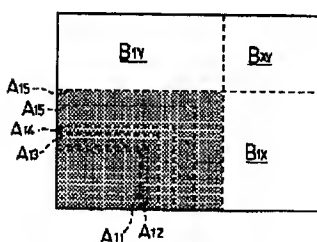
【図6】



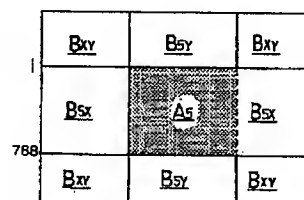
【図8】

S1	S0	ゲートラインアドレス値	ゲート駆動回路選択ゲートライン
L	L	n	n番ライン
L	H		n番ライン, n+1 番ライン
H	L		n番ライン, n+1 番ライン, n+2 番ライン
H	H		禁止

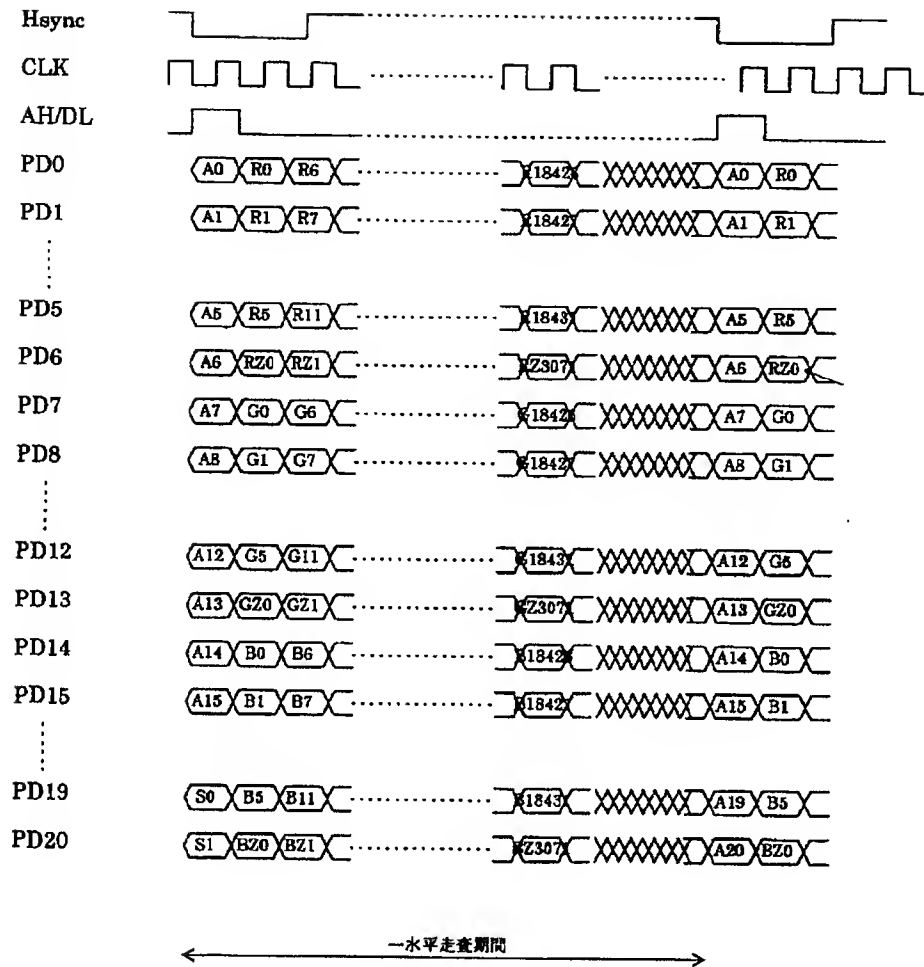
【図9】



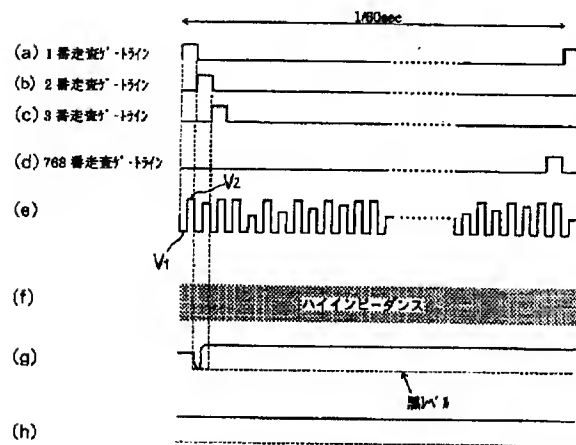
【図12】



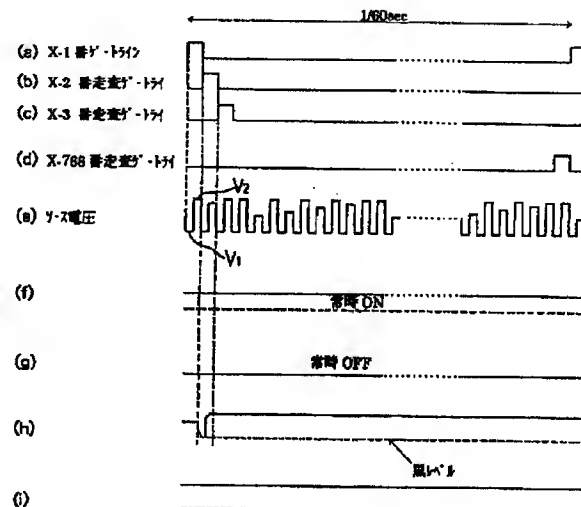
【図7】



【図10】



【図13】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	タームコード(参考)
G 0 9 G	3/36	G 0 9 G	5/08 D
	5/08		5/14 A
	5/14		5/36 5 1 0 M
	5/36	G 0 2 F	1/136 5 0 0
	5 1 0		

F ターム(参考) 2H092 JA24 JA37 JA41 JB42 NA01
 PA06 PA08 QA13
 2H093 NA13 NA16 NA45 NA46 NA47
 NC34 ND06 ND10 ND52 NE06
 NF17 NH16 NH18
 5C006 AA01 AA02 AC24 AF27 AF38
 AF45 BA11 BB16 BC03 BC11
 BF03 BF05 FA04 FA05 FA23
 5C080 AA10 BB05 DD06 DD08 EE19
 FF11 GG02 GG12 JJ01 JJ02
 JJ03 JJ04
 5C082 AA01 AA24 BA12 BA41 BC05
 BD02 CA02 CA54 CA64 DA51
 MM02